

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284355

(P2001-284355A)

(43) 公開日 平成13年10月12日 (2001.10.12)

(51) Int.Cl.⁷

H01L 21/3205

識別記号

F I

H01L 21/88

テマコード (参考)

K 5 F 0 3 3

B

審査請求 未請求 請求項の数20 OL (全14頁)

(21) 出願番号 特願2000-93387 (P2000-93387)

(22) 出願日 平成12年3月30日 (2000.3.30)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前田 圭一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

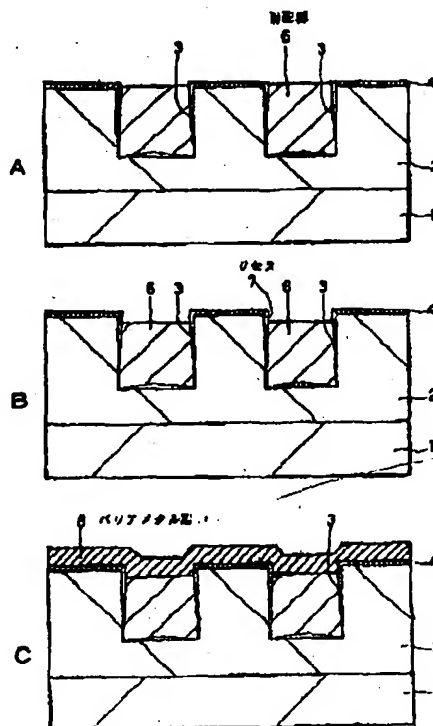
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 配線溝や接続孔内の導電材料の酸化、および導電材料が絶縁膜に拡散することによるリークの発生を抑制するとともに、層間容量の増加を抑制する。

【解決手段】 配線溝3の内部に溝配線6を埋め込む。それぞれの溝配線6の上部に互いにほぼ等しい深さを有するリセス7を形成する。リセス7は、アンモニアやキレート剤を用いた化学的エッチング法により溝配線6の表面を選択的に除去する方法、溝配線6の表面にダメージ層を形成し、このダメージ層を増速エッチ効果を利用して化学的エッチング法により選択的に除去する方法、または、溝配線6の表面に酸化層を形成し、この酸化層を化学的エッチング法によって除去する方法により形成する。リセス7の内部に選択的に酸化防止膜を形成する。



【特許請求の範囲】

【請求項1】 基板に設けられた複数の凹部の内部にそれぞれ導電材料が埋め込まれた半導体装置の製造方法において、

上記複数の凹部の内部に第1の導電材料を埋め込む工程と、

上記複数の凹部の内部に埋め込まれた上記第1の導電材料の表面に、互いにほぼ等しい深さのリセスを形成する工程と、

上記リセスの内部に選択的に酸化防止膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 上記リセスを、エッチング液を用いた化学的エッチング法により形成するようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記エッチング液がアンモニアを含有することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 上記エッチング液がCOOH基を有する化合物を含有することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】 上記凹部に埋め込まれた上記導電材料の表面にダメージ層を形成した後、上記化学的エッチング法により上記ダメージ層を除去することによって、上記リセスを形成するようにしたことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項6】 上記凹部に埋め込まれた上記第1の導電材料を酸化することにより、上記第1の導電材料の表面に酸化層を形成した後、上記化学的エッチング法によって上記酸化層を除去することにより、上記リセスを形成するようにしたことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項7】 上記凹部に埋め込まれた上記第1の導電材料の表面に、酸素プラズマを照射することにより上記酸化層を形成するようにしたことを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 上記第1の導電材料が、銅、アルミニウム、銀または金であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項9】 上記酸化防止膜が窒化シリコンまたは炭化シリコンからなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項10】 上記酸化防止膜が第2の導電材料からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項11】 上記第2の導電材料が、タンタル、チタン、タングステン、窒化タンタル、窒化チタンまたは窒化タングステンからなることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 上記第2の導電材料が、IV-B金属、V-B金属、VI-B金属、遷移金属、IV-B金属、V-B金属、VI-B金属、遷移金属、IV-B金属、

属の窒化物、V-B金属の窒化物、VI-B金属の窒化物、または遷移金属の窒化物からなることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項13】 上記凹部が配線溝であり、上記配線溝の内部に溝配線を埋め込むようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項14】 上記凹部が接続孔であり、上記接続孔の内部に接続孔プラグを埋め込むようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項15】 基板に複数の凹部が設けられ、上記複数の凹部の内部に第1の導電材料が埋め込まれた半導体装置において、

上記複数の凹部の上部における上記第1の導電材料の表面に、それぞれ互いにほぼ等しい深さのリセスが設けられ、

上記リセスの内部に酸化防止膜が設けられていることを特徴とする半導体装置。

【請求項16】 上記酸化防止膜が第2の導電材料からなることを特徴とする請求項15記載の半導体装置。

【請求項17】 上記第2の導電材料が、タンタル、チタン、タングステン、窒化タンタル、窒化チタンまたは窒化タングステンからなることを特徴とする請求項16記載の半導体装置。

【請求項18】 上記第2の導電材料が、IV-B金属、V-B金属、VI-B金属、遷移金属、IV-B金属の窒化物、V-B金属の窒化物、VI-B金属の窒化物、または遷移金属の窒化物からなる群より選ばれた少なくとも一種類の材料からなることを特徴とする請求項16記載の半導体装置。

【請求項19】 上記酸化防止膜が窒化シリコンまたは炭化シリコンからなることを特徴とする請求項15記載の半導体装置。

【請求項20】 上記第1の導電材料が、銅、アルミニウム、銀または金からなることを特徴とする請求項15記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関し、特に、銅または銅合金からなる溝配線の形成に適用して好適なものである。

【0002】

【従来の技術】LSIの高集積化や高速化により、その内部配線の微細化、多層化が進んでおり、これに伴って配線形成時の平坦化技術や微細配線の加工、および配線の信頼性確保が重要な課題となっている。これらの問題点に対する解決手段のひとつとして、銅(Cu)を用いた埋め込み配線技術が検討されている。

【0003】ここで、このCuを用いた埋め込み配線技術について図11を参照して説明する。すなわち、図11に示すように、あらかじめトランジスタなどの素子や

素子分離領域（図示せず）が形成された半導体基板101上にSiO₂膜などの層間絶縁膜102を形成し、この層間絶縁膜102に配線パターンの配線溝103を形成する。このとき、接続孔も形成されるが、図示は省略する。次に、高真空中においてスパッタリング法により全面にタンタル（Ta）膜と窒化タンタル（Ta₂N）膜とを順次形成することにより、下地バリアメタルとしてのTa₂N/Ta膜104を形成する。次に、電解めっき法などにより、配線溝103の内部に埋め込むようにして全面にCu膜を形成する。その後、配線溝103の内部以外の部分のCu膜およびTa₂N/Ta膜104をエッチバック法や化学的機械研磨（CMP）法などによって除去する。これにより、配線溝103の部分にTa₂N/Ta膜104を下地バリアメタルとした溝配線105が形成される。

【0004】以上のような埋め込み配線技術においては、配線が層間絶縁膜102に埋め込まれた形状になるため、その後の工程における層間絶縁膜の平坦化が容易になるという利点がある。さらに、配線溝103の内部以外の部分のCu膜を除去する方法としてCMP法を用いることにより、配線材料の加工に通常用いられる反応性イオンエッチング（RIE）法による加工の必要がなくなる。これによって、低抵抗、高信頼性を有することで次世代配線材料として最も注目されている一方で、RIE法による加工が困難であったCu配線の形成が可能となる。また、埋め込み配線技術として、コストの低減に向けたデュアルダマシン法も注目されており、このデュアルダマシン法を利用したCu配線プロセスの検討が急速に進められている。

【0005】

【発明が解決しようとする課題】しかしながら、上述の従来の埋め込み配線技術には次のような問題があった。すなわち、配線溝103の内部に電界めっき法などによりCuを埋め込んだ後、CMP法により配線溝103の内部以外の部分のCu膜を除去すると、図11に示したように、溝配線105におけるCuの表面が露出してしまふ。

【0006】また、Cuは、酸化層中に容易に拡散してしまうため、図12に示すように、溝配線105におけるCuが露出した状態で、その上層に層間絶縁膜106を成膜すると、層間絶縁膜106中にCuが拡散してしまう。さらに、溝配線105のCu表面は酸化され、溝配線105の上部に酸化層107が形成されてしまふ。これにより、配線間リーク、層間リーク、あるいはショートなどが生じる可能性が高くなり、信頼性の低下を招いてしまふ。

【0007】そこで、図13に示すように、このCuの層間絶縁膜106中への拡散を防止するために、Cuからなる溝配線105上に、Cuが拡散しにくい例えばプラズマCVD法により形成された窒化シリコン（Si

N）膜108を成膜して、Cuの表面をキャップしてしまふ方法が提案された。ところが、このような方法を用いると、層間容量の増加などといった特性劣化の問題が生じてしまふ。

【0008】そこで、この問題を解決する方法として、Cu溝配線105上にバリアメタルからなるキャップを形成する方法が提案された（豊田氏、三菱電気、1996 VME Conference pp. 487-492、文献1）。

【0009】文献1に記載された方法においては、図14Aに示すように、まず、CMP法によりCu膜を研磨する際に、Cuからなる溝配線105の上部に意図的にリセス109を形成する。

【0010】次に、図14Bに示すように、溝配線105を覆うようにしてバリアメタル層110を形成する。

【0011】次に、図15Aに示すように、CMP法によりリセス109の内部以外の部分のバリアメタル層110を研磨することにより除去する。これによって、リセス109の内部にバリアメタル層110の部分が残り、溝配線105上にバリアメタルからなるキャップ111が形成される。

【0012】その後、図15Bに示すように、上層にSiO₂からなる層間絶縁膜106を形成する。

【0013】以上のように、文献1に記載された方法においては、Cuの層間絶縁膜102中への拡散が防止されるという利点を有する。

【0014】しかしながら、文献1に記載された方法では、図14Aに示すように、溝の線幅依存や配線溝の密度依存などが原因となって、リセス109の深さにばらつきが生じてしまふ。このリセス109の深さは、プロセス的にコントロールすることが困難である。そして、リセス109の深さにばらつきが生じた状態で、溝配線105の表面にバリアメタル層110を形成する。そのため、図14Bに示すように、リセス109の深い部分を完全に覆うには、バリアメタル層110の成膜の際における膜厚を大きくする必要が生じるが、バリアメタル層110の膜厚を大きくすると、続けて行われるCMP法による研磨に長い時間を要する。これによって、製造コストが増加してしまうという問題がある。

【0015】また、リセス109の深さにばらつきが生じることによって、Cuからなる溝配線105上においてリセス109の深い部分と浅い部分とが生じる。そのため、溝配線105上におけるリセス109の深い部分では、上層に設けられるキャップ111が厚くなり十分なバリア性を確保することができるが、他方、溝配線105上におけるリセス109の浅い部分では、上層に形成されるキャップ111は薄くなりバリア性が不足してしまふ。これにより、層間絶縁膜106中にCuイオンが拡散する可能性が高くなる。

【0016】このように、文献1に記載された方法では、コストの上昇を招くことなく、層間絶縁膜106へ

のCuイオンの拡散を防止することは困難である。これにより、製造コストの低減と、溝配線表面の酸化やリークの防止とを併せて実現することができる技術の開発が望まれていた。

【0017】したがって、この発明の目的は、基板に形成された凹部の内部に埋め込まれた導電材料の酸化、基板上に形成される絶縁膜への導電材料の拡散および、この拡散によるリークの発生を抑制することができ、層間容量の増加を抑制しつつ溝配線および接続孔プラグの信頼性を向上させることができる半導体装置およびその製造方法を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、基板に設けられた複数の凹部の内部にそれぞれ導電材料が埋め込まれた半導体装置の製造方法において、複数の凹部の内部に第1の導電材料を埋め込む工程と、複数の凹部の内部に埋め込まれた第1の導電材料の表面に、互いにほぼ等しい深さにリセスを形成する工程と、リセスの内部に選択的に酸化防止膜を形成する工程とを有することを特徴とするものである。

【0019】この第1の発明において、複数の凹部に埋め込まれた導電材料の表面に形成されるリセスを、互いにほぼ等しい深さにするために、典型的には、リセスを、エッチング液を用いた化学的エッチング法により形成するようにする。また、この第1の発明において、リセスの深さを、複数の凹部に埋め込まれた導電材料の表面に形成されるリセスの深さの均一性を向上させるために、好適には、エッチング液としては、アンモニア、またはCOOH基を有する化合物を含有するものが用いられる。

【0020】この第1の発明において、複数の凹部に埋め込まれた導電材料の表面に形成されるリセスを、互いにほぼ等しい深さにするために、好適には、リセスの形成を、凹部に埋め込まれた第1の導電材料の表面にダメージ層を形成した後、このダメージ層を化学的エッチング法により除去することにより行う。また、この第1の発明において、リセスの形成を、凹部に埋め込まれた第1の導電材料を酸化することにより、第1の導電材料の表面に酸化層を形成した後、この酸化層を化学的エッチング法によって除去することにより行う。また、この酸化層の形成においては、好適には、凹部に埋め込まれた第1の導電材料の表面に、酸素プラズマを照射することにより酸化層を形成する方法や、凹部の内部に第1の導電材料を埋め込んだ後、第1の導電材料が埋め込まれた基板を酸化性雰囲気中にさらすことにより酸化層を形成する方法が用いられる。

【0021】この発明の第2の発明は、基板に複数の凹部が設けられ、複数の凹部の内部に第1の導電材料が埋め込まれた半導体装置において、複数の凹部の上部にお

ける第1の導電材料の表面に、それぞれ互いにほぼ等しい深さのリセスが設けられ、リセスの内部に酸化防止膜が設けられていることを特徴とする半導体装置。

【0022】この発明において、典型的には、凹部に埋め込まれる第1の導電材料は、銅、アルミニウム、銀または金である。また、この発明において、典型的には、酸化防止膜は、窒化シリコンまたは炭化シリコンからなる。

【0023】この発明において、典型的には、酸化防止膜は第2の導電材料からなる。また、この第2の導電材料は、具体的には、タンタル、チタン、タングステン、窒化タンタル、窒化チタンまたは窒化タングステンからなる。また、この発明において、酸化防止膜を第2の導電材料から構成する場合、好適には、第2の導電材料は、IV-B金属、V-B金属、VI-B金属、遷移金属、IV-B金属の窒化物、V-B金属の窒化物、VI-B金属の窒化物、または遷移金属の窒化物からなる。

【0024】この発明において、典型的には、凹部は配線溝であり、配線溝の内部に溝配線を埋め込むようにする。また、この発明において、典型的には、凹部は接続孔であり、接続孔の内部に接続孔プラグを埋め込むようにする。

【0025】上述のように構成されたこの発明による半導体装置およびその製造方法によれば、選択的に、複数の凹部の内部に埋め込まれた第1の導電材料の表面に、互いにほぼ等しい深さにリセスを形成し、このリセスの内部に選択的に酸化防止膜を形成するようにしていることにより、凹部に埋め込まれた第1の導電材料が酸化され、この第1の導電材料が基板上に形成される層間絶縁膜中に拡散するのを防止することができる。

【0026】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【0027】まず、この発明の第1の実施形態による半導体装置の製造方法について説明する。図1～図6は、この第1の実施形態による半導体装置の製造方法を示す。

【0028】まず、図1Aに示すように、通常のLSIプロセスにより例えばトランジスタなどの素子や素子分離領域（図示せず）などを形成したSi基板1上に、例えばSiO₂膜からなる層間絶縁膜2を形成する。次に、層間絶縁膜2上にリソグラフィ工程により所定形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばRIE法によりエッチングを行うことにより配線溝3を形成する。ここで、この配線溝3の幅は例えば0.4μmであり、深さは例えば0.5μmである。

【0029】次に、図1Bに示すように、例えばマグネ

トロンスパッタリング法により、高真空中において全面に例えば窒化タンタル (Ta₂N) 膜4を形成する。このTa₂N膜4の膜厚は例えば30 nmである。ここで、T

プロセスガス: Arガス (流量、0.03 slm (30 sccm))

N₂ガス (流量、0.08 slm (80 sccm))

DCパワー : 5 kW

圧力 : 0.4 Pa

基板加熱温度: 100℃

とする。

【0030】次に、例えばマグネトロンスパッタリング法により、高真空中において連続的にTa₂N膜4上にCuシード層5aを形成する。このCuシード層5aの膜

プロセスガス: Arガス (流量、0.1 slm (100 sccm))

DCパワー : 3 kW

圧力 : 0.4 Pa

基板加熱温度: 100℃

とする。

【0031】次に、図1Cに示すように、例えば、Cuシード層5aを下地とした電解めっき法により、全面にCu膜5を形成する。なお、図1Cにおいて、Cu下地膜5aはCu膜5の一部となるため、図示省略する。このCu膜5の形成における電解めっき条件の一例を挙げると、

電解液 : CuSO₄ (濃度、67 g/l)

H₂SO₄ (濃度、170 g/l)

HCl (濃度、70 ppm)

添加剤 : 界面活性剤

溶液温度: 20℃

電流 : 9 A

とする。

研磨圧力 : $9.8 \times 10^3 \text{ N/m}^2$ (100 gw/cm²)

回転数 : 定盤、0.5 s⁻¹ (30 rpm)

研磨ヘッド、0.5 s⁻¹ (30 rpm)

研磨パッド: 発泡ポリウレタン樹脂/不織布の積層構造

スラリー : 過酸化水素 (H₂O₂) が添加されたアルミナ含有のスラリー

流量 : 100 cc/min

温度 : 25~30℃

とする。

【0033】このCMP法によるCu膜5の研磨により、層間絶縁膜2にTa₂N膜4を下地バリアメタルとした、Cuからなる溝配線6が形成される。

【0034】このCMP法によるCu膜5の研磨が終了した段階においては、溝配線6におけるCu表面が露出している。そのため、次の工程において層間絶縁膜を成膜すると、Cu表面が酸化される現象や、成膜された層間絶縁膜中にCuイオンが拡散する現象が生じる可能性がある。これらの現象は、半導体素子や配線の信頼性を著しく低下させる。そのため、少なくとも溝配線6の上部に、Cuと反応しない材料からなるキャップを形成する必要がある。

a₂N膜4の形成におけるスパッタ条件の一例を挙げると、

厚は例えば150 nmである。このCuシード層5aは、次工程の電解めっき法により成膜されるCu膜のシード層となる。ここで、このCuシード層5aの形成におけるスパッタ条件の一例を挙げると、

【0032】次に、図2Aに示すように、例えばCMP法により、Ta₂N膜4上の部分における、接続孔 (図示せず) および配線溝3の内部以外の部分のCu膜5を研磨することにより除去する。ここで、このCMP法における研磨条件の一例を挙げると、

【0035】そこで、図2Bに示すように、例えば化学的エッチング法により、Cuからなる溝配線6の表面を選択的にエッチングする。このエッチングにより、溝配線6の上部に互いにほぼ等しい深さのリセス7が形成される。なお、リセス7の深さは、エッチングにおいて、溶液の濃度、溶液温度、そしてエッチング時間を最適化することにより制御することができる。また、この第1の実施形態においては、リセス7の形成をCMP法のような機械的な研磨に依存していないため、線幅や密度などのパターン依存が生じることがない。ここで、このリセス7の形成におけるエッチング条件の一例を挙げると、

エッチング液: アンモニア (NH₃) 水溶液

浴液温度 : 20℃

とする。

【0036】次に、図2Cに示すように、例えばマグネトンスパッタリング法により、溝配線6が形成された層間絶縁膜2上の全面にTa₂N₅を成膜する。これによ

プロセスガス: Arガス、0.03slm (30sccm)

N₂ガス、0.08slm (80sccm)

圧力 : 0.4Pa

基板温度 : 100℃

とする。

【0037】次に、図3に示すように、例えばCMP法により、リセス7の内部以外の部分のバリアメタル層8と、層間絶縁膜2表面のTa₂N₅膜4とを順次研磨するこ

研磨圧力 : $9.8 \times 10^3 \text{ N/m}^2$ (100gw/cm²)

回転数 : 定盤、0.5s⁻¹ (30rpm)

研磨ヘッド、0.5s⁻¹ (30rpm)

研磨パッド: 発泡ポリウレタン樹脂半層構造

スラリー : H₂O₂が添加されたアルミナ含有スラリー

流量 : 0.1l/min (100cc/min)

温度 : 25~30℃

とする。

【0038】その後、従来公知の方法により、接続孔、接続孔プラグおよび上層配線の形成を順次行うことにより、所望の半導体装置を完成させる。

【0039】以上説明したように、この第1の実施形態によれば、Cuからなる溝配線6を形成した後、これらの溝配線6の上部に、複数の溝配線6において互いにほぼ等しい深さにリセス7を形成し、このリセス7の内部にCuと反応しないTa₂N₅などからなるキャップ9を形成していることにより、誘電率の高い材料からなる絶縁膜を用いることなく、溝配線6のCu表面の酸化を防止することができるとともに、Cuの層間絶縁膜2への拡散を防止することができる。そして、この溝配線6と上層配線とを接続孔プラグを用いて接続する場合においても、接続孔プラグと溝配線6との間に酸化銅などの高抵抗の酸化層が介在するのを防止することができ、接続抵

ガス : O₂ガス (流量、 5×10^{-3} slm (5sccm))

Arガス (流量、0.1slm (100sccm))

プラテンパワー: 300W (13.56MHz)

コイルパワー : 500W (13.56MHz)

圧力 : 0.4Pa

基板温度 : 20℃

とする。

【0043】次に、図4Cに示すように、例えばキレート剤を用いて、溝配線6の上部の酸化層11を選択的にエッチングする。このエッチングにより、酸化層11が

薬液 : CMP-M01 (商品名)

主成分、シュウ酸 ((COOH)₂)

温度 : 20℃

エッチング時間: 2分間

り、層間絶縁膜2上にTa₂N₅からなるバリアメタル層8が形成される。このバリアメタル層8の膜厚は例えば100nmである。ここで、バリアメタル層8の形成におけるスパッタ条件の一例を挙げると、

とにより除去する。これにより、リセス7の内部にバリアメタル層8の部分が残され、Ta₂N₅からなるキャップ9が形成される。ここで、この研磨におけるCMP条件の一例を挙げると、

抗の上昇を防ぐことができる。また、溝配線6に用いられる導電材料の4方向を金属膜で囲むことができるため、溝配線6の信頼性を向上させることができる。

【0040】次に、この発明の第2の実施形態による半導体装置の製造方法について説明する。

【0041】図4Aに示すように、この第2の実施形態においては、まず、第1の実施形態におけると同様に溝配線6の形成まで行う。

【0042】次に、図4Bに示すように、例えばICP (Inductively Coupled Plasma) により生成された酸素プラズマを層間絶縁膜2および溝配線6の表面に照射することによって、溝配線6の表面を酸化させる。これにより、溝配線6の上部に酸化層11が形成される。ここで、酸化層11の形成における酸素プラズマの照射条件の一例を挙げると、

除去され溝配線6の上部に互いにほぼ等しい深さのリセス7が形成される。ここで、このリセス7の形成におけるエッチング条件の一例を挙げると、

とする。

【0044】次に、第1の実施形態におけると同様にして、リセス7の内部に例えばTa₂Nからなるキャップ（図4中、図示せず）を形成し、順次プロセスを進めることにより、所望の半導体装置を完成させる。

【0045】この第2の実施形態によれば、Cuからなる溝配線6を形成した後、酸素プラズマにより酸化層11を形成し、この酸化層11をエッチングすることにより、溝配線6の上部に互いにほぼ等しい深さのリセス7を形成していることによって、第1の実施形態におけると同様の効果を得ることができる。

【0046】次に、この発明の第3の実施形態による半導体装置の製造方法について説明する。

【0047】図5Aに示すように、この第3の実施形態においては、まず、第1の実施形態におけると同様にして溝配線6の形成まで行う。

薬液 : CMP-M01 (商品名)
主成分、シュウ酸 (COOH)₂
温度 : 20℃
エッチング時間 : 2分間

とする。

【0050】次に、第1の実施形態におけると同様にして、リセス7の内部に選択的に例えばTa₂Nからなるキャップ（図5中、図示せず）を形成し、順次プロセスを進めることにより、所望の半導体装置を完成させる。

【0051】この第3の実施形態によれば、Cuからなる溝配線6を形成した後、Si基板1を酸化性雰囲気中にさらすことにより、酸化層21を形成した後、この酸化層21を、キレート剤を用いてエッチングするようにしていることにより、互いにほぼ等しい深さのリセス7を形成することができるので、第1の実施形態におけると同様の効果を得ることができる。

【0052】次に、この発明の第4の実施形態による半導体装置の製造方法について説明する。

【0053】図6Aに示すように、この発明の第4の実施形態においては、まず、第1の実施形態におけると同様にして溝配線6の形成まで行う。

【0054】次に、図6Bに示すように、溝配線6が形成された層間絶縁膜2の上方から全面にイオン注入を行う。これにより、溝配線6の表面がダメージを受け、この部分にダメージ層31が形成される。このとき、Ta₂N膜4の露出表面もイオン注入によるダメージを受ける。しかしながら、このTa₂N膜4がダメージを受ける部分は、後の工程においてCMP法により研磨除去される部分である。したがって、Ta₂N膜4がダメージを受けることによって半導体素子や配線への悪影響が生じないため、これを考慮する必要はない。さらに、層間絶縁膜2上に露出したTa₂N膜4の部分が、層間絶縁膜2においてイオン注入に対するバリアとなるため、層間絶縁膜2へのダメージを防止することができる。

【0048】次に、図5Bに示すように、例えば、減圧炉内においてSi基板1を酸化性雰囲気中にさらす。これにより、溝配線6の上部のCu表面が選択的に酸化され、酸化層21が形成される。ここで、この酸化層21の形成における酸化条件の一例を挙げると、

加熱温度 : 150℃

圧力 : 0.1Pa

雰囲気ガス : O₂ガス (流量、0.01slm (10scm))

とする。

【0049】次に、図5Cに示すように、例えばキレート剤を用いて酸化層21を選択的にエッチング除去する。これにより、溝配線6の上部に、選択的に互いにほぼ等しい深さのリセス7が形成される。ここで、このリセス7の形成におけるエッチング条件の一例を挙げると、

【0055】また、上述したダメージ層31は、増速エッチ効果により、次の工程の化学的エッチング法に用いられるエッチング溶液に対して、その溶解度が変化する。なお、ダメージ層31の厚さは、イオン照射量や加速エネルギーなどのイオン注入条件のより正確に制御することが可能である。そのため、溝配線6の上部におけるリセス7の形成を高精度に行うことができる。

【0056】次に、図6Cに示すように、第1の実施形態と同様にして、例えばキレート剤を用いた化学的エッチング法により、ダメージ層31を選択的に除去する。これにより、溝配線6の上部にリセス7が形成される。

【0057】次に、第1の実施形態と同様にして、リセス7の内部に例えばTa₂Nからなるキャップ（図6中、図示せず）を形成し、順次プロセスを進めることにより、所望の半導体装置を完成させる。

【0058】以上説明したように、この第4の実施形態によれば、溝配線6を形成した後、イオン注入によりこの溝配線6の上部に選択的にダメージ層31を形成し、このダメージ層31を化学的エッチング法により除去して、リセス7を形成していることにより、第1の実施形態と同様の効果を得ることができるとともに、溝配線6の上部に、化学的エッチング法において、溝配線6におけるCuに対して高選択比にすることができるダメージ層31を形成していることにより、リセス7の形成を、より制御性良く高精度に行うことができる。

【0059】次に、この発明の第5の実施形態による半導体装置の製造方法について説明する。

【0060】図7Aに示すように、この第5の実施形態においては、まず、第1の実施形態と同様にして、溝配線6の形成まで行う。

【0061】次に、図7Bに示すように、例えば化学的エッチング法により、Cuからなる溝配線6の表面を選択的にエッチングする。これにより、溝配線6の上部に互いにほぼ等しい深さのリセス7が形成される。このエッチングにおいては、リセス7の深さは、溶液の濃度や溶液温度、そしてエッチング時間を最適化することにより制御することができる。また、リセス7の形成を、CMP法のような機械的な研磨に依存していないため、線幅や密度などのパターン依存が生じることがない。ここで、リセス7の形成におけるエッチング条件の一例を挙げると、

プロセスガス：シラン (SiH_4) ガス
(流量、0.075slm (75sccm))
アンモニア (NH_3) ガス
(流量、0.05slm (50sccm))
圧力 : 1064 Pa
基板温度 : 400℃
RFパワー : 500W (13.56MHz)

とする。

【0063】次に、図8に示すように、例えばCMP法により、リセス7の内部以外の部分のSiN膜41とT

研磨圧力 : $9.8 \times 10^3 \text{N/m}^2$ (100gw/cm²)
回転数 : 定盤、0.5s⁻¹ (30rpm)
研磨ヘッド、0.5s⁻¹ (30rpm)
研磨パッド：発泡ポリウレタン樹脂単層構造
スラリー : ヒュームドシリカ含有のスラリー
流量 : 0.1l/min (100cc/min)
温度 : 25~30℃

とする。

【0064】以上により、溝配線6の上部におけるリセス7の内部にSiN膜41の部分が残され、SiNからなる酸化防止膜42が形成される。

【0065】その後、従来公知の方法により、接続孔、接続孔プラグおよび上層配線の形成などのプロセスを順次進める。これによって、所望の半導体装置が製造される。

【0066】以上説明したように、この第5の実施形態によれば、Cuからなる溝配線6を形成した後、この溝配線6の上部に互いにほぼ等しい深さのリセス7を形成し、このリセス7の内部に選択的にSiNからなる酸化防止膜42を形成していることにより、誘電率の高い材料からなる絶縁膜を全面に形成することなく、溝配線6におけるCu表面の酸化を防止することができるとともに、溝配線6の上層に形成される層間絶縁膜へのCuの拡散を防止することができる。したがって、溝配線6の高抵抗化を防止することができ、配線信頼性の低下を防

エッチング液：アンモニア (NH_3) 水溶液

溶液濃度 : 0.1重量%

溶液温度 : 20℃

とする。

【0062】次に、図7Cに示すように、例えばプラズマ化学気相成長 (プラズマCVD) 法により、溝配線6が形成された層間絶縁膜2の全面にSiN膜41を形成する。このSiN膜41の膜厚は例えば100nmである。ここで、SiN膜41の形成におけるCVD条件の一例を挙げると、

aN膜4とを順次研磨することにより除去する。ここで、この研磨におけるCMP条件の一例を挙げると、

止することができる。

【0067】次に、この発明の第6の実施形態による半導体装置の製造方法について説明する。

【0068】図9Aに示すように、この第6の実施形態においては、まず、第1の実施形態と同様にして、溝配線6の形成まで行う。

【0069】次に、図9Bに示すように、第2の実施形態における同様の条件および方法に従って、全面に酸素プラズマを照射することにより、溝配線6の表面を酸化する。これによって、溝配線6の上部に酸化層51が形成される。

【0070】次に、図10Aに示すように、例えばキレート剤を用いて、溝配線6の上部の酸化層51を選択的にエッチングする。これにより、酸化層51が除去され溝配線6の上部にリセス7が形成される。ここで、このリセス7の形成におけるエッチング条件の一例を挙げると、

薬液 : CMP-M01 (商品名)
主成分、シュウ酸 ($(\text{COOH})_2$)
温度 : 20℃
エッチング時間 : 2分間

とする。

【0071】次に、図10Bに示すように、例えばプラズマCVD法により、全面に炭化シリコン(SiC)膜

プロセスガス: SiH₄ガス

(流量、 5×10^{-2} slm (50 sccm))

メタン(CH₄)ガス

(流量、 5×10^{-2} slm (50 sccm))

圧力 : 400Pa

基板温度 : 400℃

RFパワー : 300W (13.56MHz)

とする。

【0072】次に、図10Cに示すように、例えばCMP法により、リセス7の内部以外の部分のSiC膜52

研磨圧力 : $9.8 \times 10^3 \text{ N/m}^2$ (100 gw/cm²)

回転数 : 定盤、 0.5 s^{-1} (30 rpm)

研磨ヘッド、 0.5 s^{-1} (30 rpm)

研磨パッド: 発泡ポリウレタン樹脂単層構造

スラリー : ヒュームドシリカ含有のスラリー

流量 : $0.11/\text{min}$ (100 cc/min)

温度 : 25~30℃

とする。

【0073】以上により、リセス7の内部にSiC膜52の部分が残され、SiCからなる酸化防止膜53が形成される。

【0074】その後、従来公知の方法により、接続孔、接続孔プラグおよび上層配線の形成を順次行うことにより、所望の半導体装置を完成させる。

【0075】この第6の実施形態によれば、Cuからなる溝配線8の上部に互いにほぼ等しい深さのリセス7を形成し、選択的にリセス7の内部に酸化防止膜53を形成していることにより、第5の実施形態と同様の効果を得ることができる。

【0076】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0077】例えば、上述の実施形態において挙げた数値および成膜方法はあくまでも例に過ぎず、必要に応じてこれと異なる数値および成膜方法を用いてもよい。

【0078】また、例えば上述の第1から第6の実施形態においては、この発明を溝配線の形成に適用しているが、この発明を、接続孔プラグの形成に適用することも可能である。

【0079】また、例えば上述の第1の実施形態においては、Cu膜5を形成するためのスパッタリング法として、マグネトロンスパッタリング法を用いたが、例えばコーメートスパッタリング法やイオン化スパッタリング法などのカバレッジの良い他のスパッタリング法を用いることも可能である。

【0080】また、例えば、上述の第2および第5の実

施形態を形成する。このSiC膜52の膜厚は例えば100nmである。ここで、このSiC膜52の形成におけるCVD条件の一例を挙げると、

と、層間絶縁膜2上のTa₂N膜4とを順次研磨することにより除去する。ここで、この研磨におけるCMP条件の一例を挙げると、

施形態においては、酸素プラズマをICPにより生成しているが、必要に応じて、酸素プラズマを、例えば平行平板方式や、誘導結合方式などによって生成するようにしてもよい。

【0081】

【発明の効果】以上説明したように、この発明によれば、複数の凹部の内部に埋め込まれた第1の導電材料の表面に、互いにほぼ等しい深さにリセスを形成し、これらのリセスの内部に選択的に酸化防止膜を形成するようにしていることにより、基板に形成された凹部の内部に埋め込まれた第1の導電材料の酸化および、基板上に形成される絶縁膜への第1の導電材料の拡散によるリークの発生を抑制することができ、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図2】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図3】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図4】この発明の第2の実施形態による半導体装置の製造方法を説明するための断面図である。

【図5】この発明の第3の実施形態による半導体装置の製造方法を説明するための断面図である。

【図6】この発明の第4の実施形態による半導体装置の製造方法を説明するための断面図である。

【図7】この発明の第5の実施形態による半導体装置の製造方法を説明するための断面図である。

【図8】この発明の第5の実施形態による半導体装置の

製造方法を説明するための断面図である。

【図9】この発明の第6の実施形態による半導体装置の製造方法を説明するための断面図である。

【図10】この発明の第6の実施形態による半導体装置の製造方法を説明するための断面図である。

【図11】従来技術による半導体装置の製造方法を説明するための断面図である。

【図12】従来技術による半導体装置の製造方法における問題点を説明するための断面図である。

【図13】従来技術による半導体装置の製造方法における問題点を説明するための断面図である。

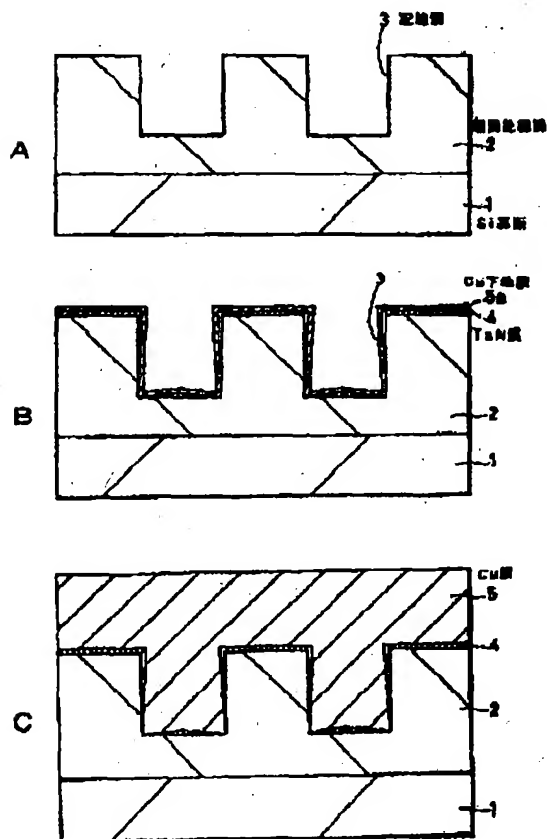
【図14】従来技術による半導体装置の製造方法における問題点を説明するための断面図である。

【図15】従来技術による半導体装置の製造方法における問題点を説明するための断面図である。

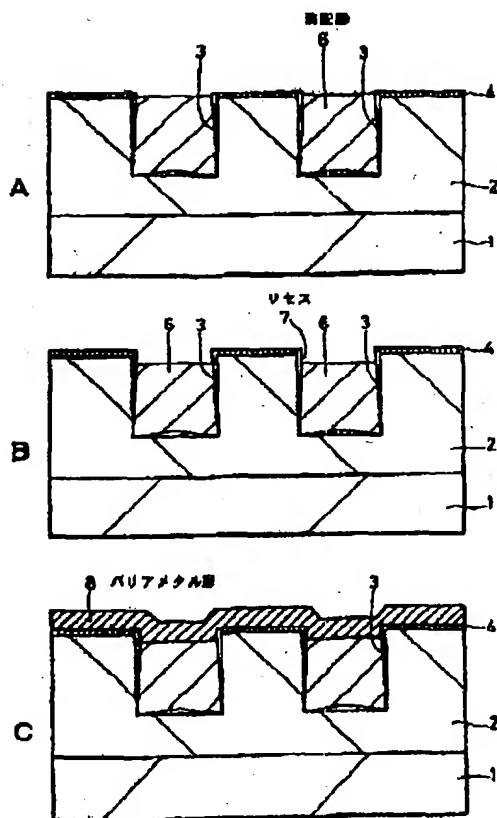
【符号の説明】

1・・・Si基板、2・・・層間絶縁膜、3・・・配線溝、5・・・Cu膜、6・・・溝配線、7・・・リセス、8・・・バリアメタル層、21、51・・・酸化層、31・・・ダメージ層、41・・・SiN膜、42、53・・・酸化防止膜、52・・・SiC膜

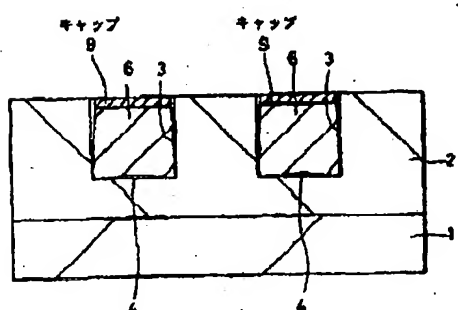
【図1】



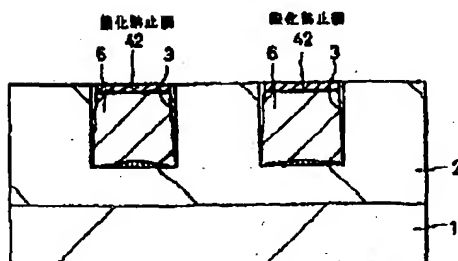
【図2】



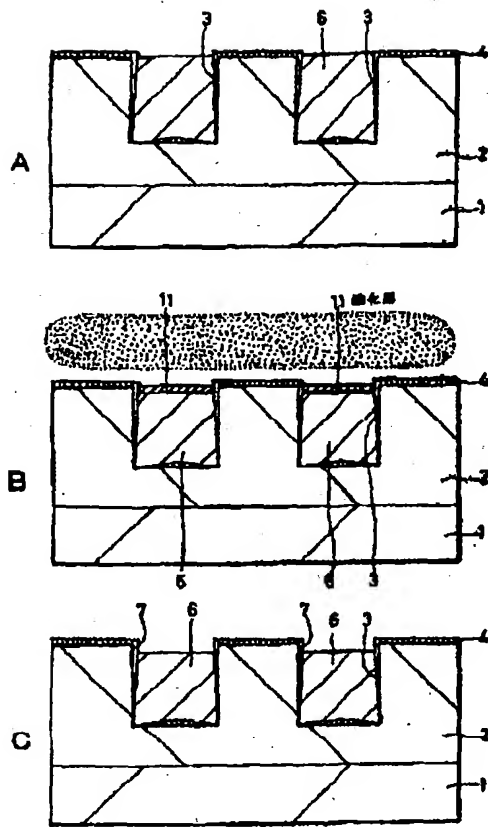
【図3】



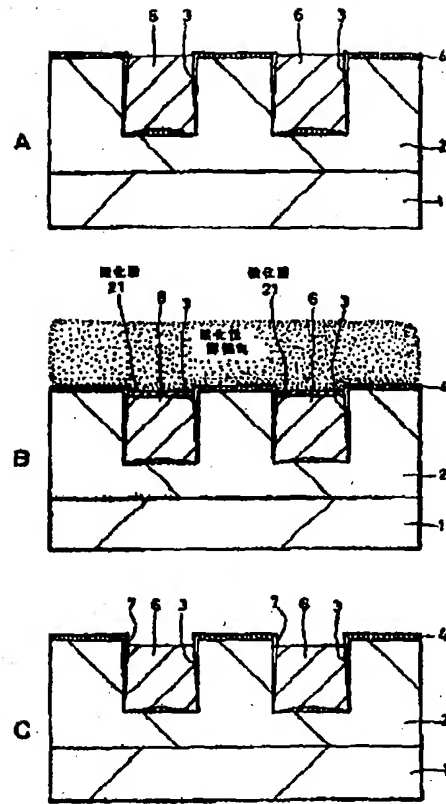
【図8】



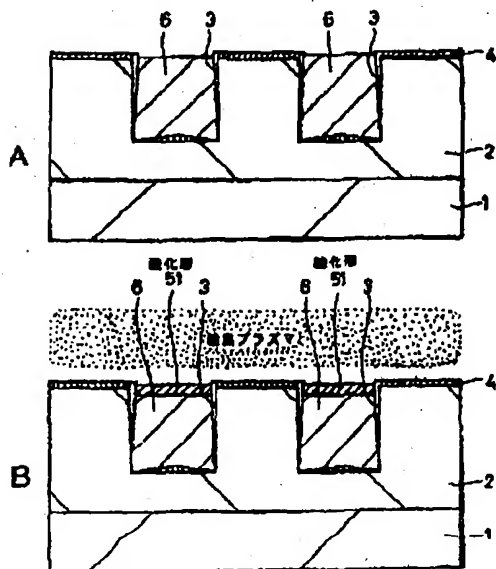
【図4】



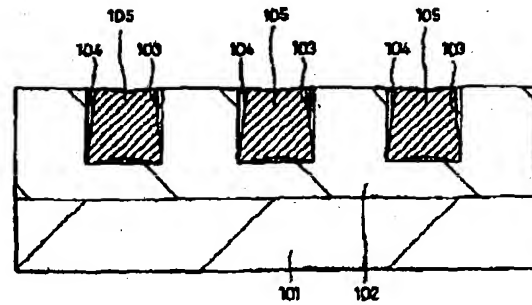
【図5】



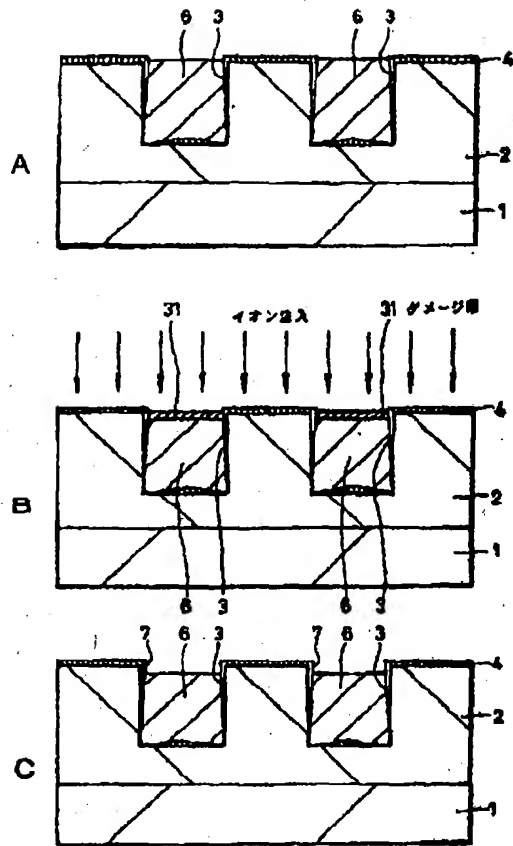
【図9】



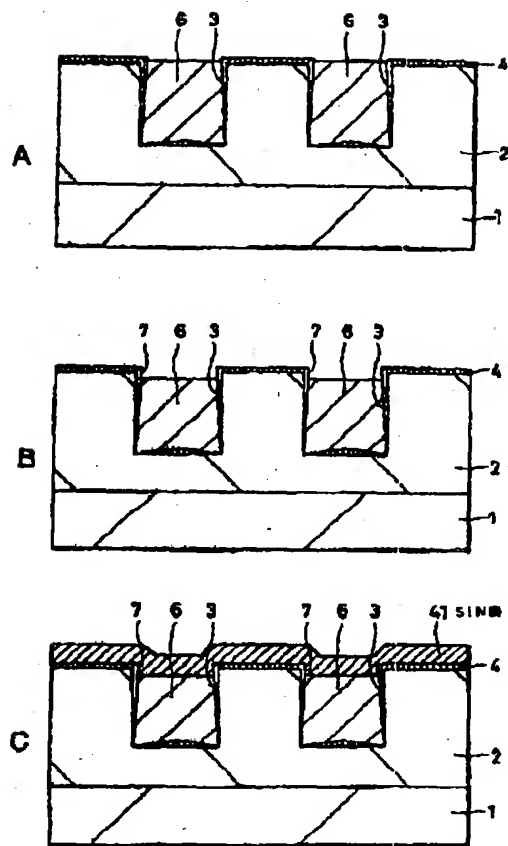
【図11】



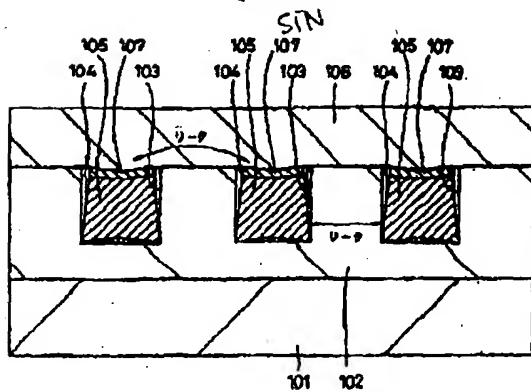
【図6】



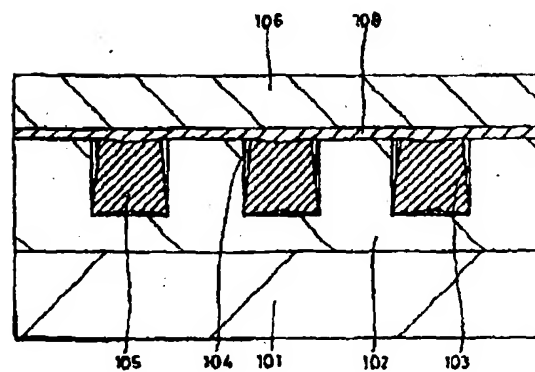
【図7】



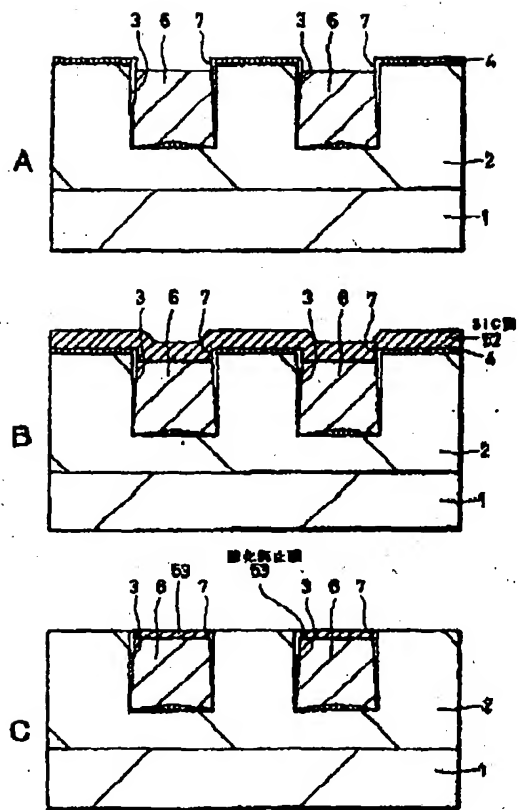
【図12】



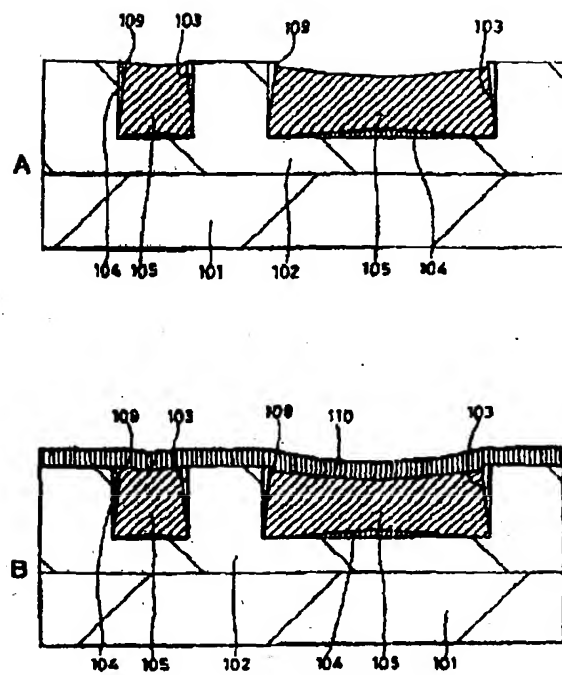
【図13】



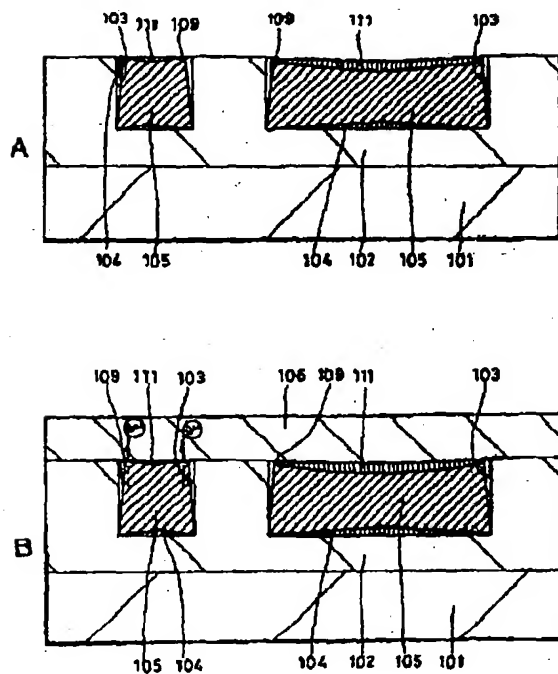
【図10】



【図14】



【図15】



フロントページの続き

Fターム(参考) 5F033 HH07 HH08 HH11 HH13 HH14
HH18 HH19 HH21 HH32 HH33
JJ07 JJ08 JJ11 JJ13 JJ14
JJ18 JJ19 JJ21 JJ32 JJ33
MM01 MM05 MM12 MM13 MM15
NN03 NN06 NN07 PP15 PP22
PP27 QQ08 QQ09 QQ13 QQ20
QQ48 QQ59 QQ89 RR01 RR04
RR08 SS01 SS02 SS15 XX20
XX28 XX31